



JEW

XA-10057  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Toshihiro TANAKA et al.

Appln. No.: 10/805,365

Group Art Unit: 2818

Filed: March 22, 2004

For: NONVOLATILE MEMORY DEVICE AND SEMICONDUCTOR DEVICE

\* \* \*

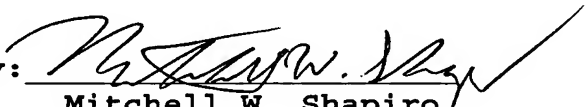
TRANSMITTAL OF CERTIFIED COPY OF PRIORITY DOCUMENTS

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Submitted herewith are certified copies of priority  
Japanese Patent Application Nos. 2003-101124 filed April 4,  
2003, and 2004-046699 filed February 23, 2004.

Respectfully submitted,

By:   
Mitchell W. Shapiro  
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.  
1751 Pinnacle Drive  
Suite 500  
McLean, Virginia 22102-3833  
(703) 903-9000

June 10, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月   4 日  
Date of Application:

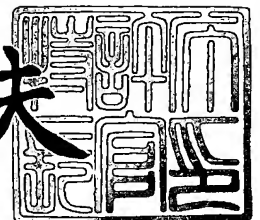
出 願 番 号            特 願 2 0 0 3 - 1 0 1 1 2 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 1 0 1 1 2 4 ]

出   願   人            株式会社ルネサステクノロジ  
Applicant(s):

2 0 0 4 年   4 月   9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 2 9 4 5 1

【書類名】 特許願

【整理番号】 H03002431

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G06C 16/12

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
                                ステクノロジ内

    【氏名】 山木 貴志

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
                                ステクノロジ内

    【氏名】 田中 利広

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
                                ステクノロジ内

    【氏名】 品川 裕

【特許出願人】

    【識別番号】 503121103

    【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

    【識別番号】 100080001

    【弁理士】

    【氏名又は名称】 筒井 大和

    【電話番号】 03-3366-0787

【手数料の表示】

    【予納台帳番号】 006909

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置および半導体集積回路装置

【特許請求の範囲】

【請求項 1】 電圧源と不揮発性メモリセルとの間に直列接続された電流供給制御用トランジスタ、または前記不揮発性メモリセルと基準電位との間に直列接続された電流吸収制御用トランジスタのいずれか一方を備え、

前記電流供給制御用トランジスタ、または前記電流吸収制御用トランジスタは、電流－電圧特性における電流飽和領域で動作させることにより、データ書き込み時に、不揮発性メモリセルに流れる電流を制御することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 電圧源と不揮発性メモリセルとの間に直列接続された電流供給制御用トランジスタ、および前記不揮発性メモリセルと基準電位との間に直列接続された電流吸収制御用トランジスタとを備え、

前記電流供給制御用トランジスタ、および前記電流吸収制御用トランジスタは、電流－電圧特性における電流飽和領域で動作させることにより、データ書き込み時に、不揮発性メモリセルに流れる電流を制御することを特徴とする不揮発性半導体記憶装置。

【請求項 3】 請求項 2 記載の不揮発性半導体記憶装置において、

前記電流供給制御用トランジスタに流れる電流と、前記電流吸収制御用トランジスタに流れる電流との差が、前記不揮発性メモリセルの書き込み電流となることを特徴とする不揮発性半導体記憶装置。

【請求項 4】 請求項 2 または 3 記載の不揮発性半導体記憶装置において、

電流トリミング情報が格納されたトリミング情報格納部と、前記トリミング情報格納部の電流トリミング情報をデコードし、ある電圧を出力するデコード回路とよりなるトリミング部を備え、

前記トリミング部は、1つの前記電流トリミング情報に基づいて、前記電流供給制御用トランジスタ、および前記電流吸収制御用トランジスタのゲートにそれぞれ印加する電圧を生成することを特徴とする不揮発性半導体記憶装置。

【請求項 5】 請求項 1 記載の不揮発性半導体記憶装置において、

電流トリミング情報が格納されたトリミング情報格納部と、  
前記トリミング情報格納部の電流トリミング情報をデコードし、ある電圧を出力するデコーダ回路とよりなるトリミング部を備え、

前記トリミング部は、前記電流トリミング情報に基づいて、前記電流供給制御用トランジスタ、または前記電流吸収制御用トランジスタのいずれか一方のゲートに印加する電圧を生成することを特徴とする不揮発性半導体記憶装置。

【請求項 6】 請求項 1～5 のいずれか 1 項に記載の不揮発性半導体記憶装置において、

前記トリミング情報格納部には、電源回路におけるトリミング情報が格納されていることを特徴とする不揮発性半導体記憶装置。

【請求項 7】 請求項 1～6 のいずれか 1 項に記載の不揮発性半導体記憶装置において、

前記不揮発性メモリセルは、選択ゲートとメモリゲートとを有した 2 トランジスタ構成からなることを特徴とする不揮発性半導体記憶装置。

【請求項 8】 請求項 7 記載の不揮発性半導体記憶装置において、

前記電流供給制御用トランジスタ、および前記電流吸収制御用トランジスタのゲート長は、前記不揮発性メモリセルの選択ゲートのゲート長よりも大きいことを特徴とする不揮発性半導体記憶装置。

【請求項 9】 不揮発性記憶部と、中央処理装置とを有し、前記中央処理装置は所定の処理を実行し、前記不揮発性記憶部に動作指示を行うことが可能であり、前記不揮発性記憶部は、情報を格納する複数の不揮発性メモリセルを有する半導体集積回路装置であって、

前記不揮発性記憶部は、電圧源と不揮発性メモリセルとの間に直列接続された電流供給制御用トランジスタ、または前記不揮発性メモリセルと基準電位との間に直列接続された電流吸収制御用トランジスタのいずれか一方を備え、

前記電流供給制御用トランジスタ、または前記電流吸収制御用トランジスタは、電流－電圧特性における電流飽和領域で動作させることにより、データ書き込み時に、前記不揮発性メモリセルに流れる電流を制御することを特徴とする半導体集積回路装置。

【請求項 1 0】 不揮発性記憶部と、中央処理装置とを有し、前記中央処理装置は所定の処理を実行し、前記不揮発性記憶部に動作指示を行うことが可能であり、前記不揮発性記憶部は、情報を格納する複数の不揮発性メモリセルを有する半導体集積回路装置であって、

前記不揮発性記憶部は、

電圧源と不揮発性メモリセルとの間に直列接続された電流供給制御用トランジスタ、および前記不揮発性メモリセルと基準電位との間に直列接続された電流吸収制御用トランジスタとを備え、

前記電流供給制御用トランジスタ、および前記電流吸収制御用トランジスタは、電流－電圧特性における電流飽和領域で動作させることにより、データ書き込み時に、前記不揮発性メモリセルに流れる電流を制御することを特徴とする半導体集積回路装置。

【請求項 1 1】 請求項 1 0 記載の半導体集積回路装置において、

前記電流供給制御用トランジスタに流れる電流と、前記電流吸収制御用トランジスタに流れる電流との差が、前記不揮発性メモリセルの書き込み電流となることを特徴とする半導体集積回路装置。

【請求項 1 2】 請求項 1 0 または 1 1 記載の半導体集積回路装置において

電流トリミング情報が格納されたトリミング情報格納部と、

前記トリミング情報格納部の電流トリミング情報をデコードし、ある電圧を出力するデコード回路とよりなるトリミング部を備え、

前記トリミング部は、1つの前記電流トリミング情報に基づいて、前記電流供給制御用トランジスタ、および前記電流吸収制御用トランジスタのゲートにそれぞれ印加する電圧を生成することを特徴とする半導体集積回路装置。

【請求項 1 3】 請求項 9 記載の半導体集積回路装置において、

電流トリミング情報が格納されたトリミング情報格納部と、

前記トリミング情報格納部の電流トリミング情報をデコードし、ある電圧を出力するデコード回路とよりなるトリミング部を備え、

前記トリミング部は、前記電流トリミング情報に基づいて、前記電流供給制御

用トランジスタ、または前記電流吸収制御用トランジスタのいずれか一方のゲートに印加する電圧を生成することを特徴とする半導体集積回路装置。

【請求項 14】 請求項 9～13 のいずれか 1 項に記載の半導体集積回路装置において、

前記トリミング情報格納部には、電源回路におけるトリミング情報が格納されていることを特徴とする半導体集積回路装置。

【請求項 15】 請求項 9～14 のいずれか 1 項に記載の半導体集積回路装置において、

前記不揮発性メモリセルは、選択ゲートとメモリゲートとを有した 2 トランジスタ構成からなることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 15 記載の半導体集積回路装置において、

前記電流供給制御用トランジスタ、および前記電流吸収制御用トランジスタのゲート長は、前記不揮発性メモリセルの選択ゲートのゲート長よりも大きいことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリのデータ書き込み技術に関し、特に、MONOS (Metal Oxide Nitride Oxide Semiconductor) 型メモリセルにおける書き込み特性のばらつきの低減に適用して有効な技術に関するものである。

【0002】

【従来の技術】

電氣的に書き換えが可能な不揮発性メモリとして、たとえば、フローティングゲート型メモリセルを用いたフラッシュメモリなどが広く知られている。しかし、低電力化、およびデータ書き込みの高速性などの市場要求から、様々な MONOS 型メモリセルの提案がなされている。

【0003】

たとえば、MONOS 型メモリセルにおいて、データ書き込み電流を約  $10\mu$



A程度に制限するためにワードゲート（コントロールゲート）のしきい値よりも少し高い電圧（たとえば、0.77V程度）をワード線に印加しているものがある（特許文献1参照）。すなわち、データ書き込み電流をワードゲートの電圧によって制御している。なお、データ書き込み時のビット線電圧は0V程度に固定されている。

#### 【0004】

また、フローティングゲート型メモリセルではあるが、書き込み特性のばらつきを抑えたものがある（特許文献2参照）。

#### 【0005】

この場合、AG-AND (Assist Gate AND) 型メモリセルの2つの拡散層にローカルビット線がそれぞれ接続されており、各々のローカルビット線とグローバルビット線、および共通ソース線との接続にスイッチを介している。

#### 【0006】

そして、データ書き込みは、グローバルビット線からメモリゲート側のローカルビット線の寄生容量に4V程度を充電し、グローバルビット線とメモリゲート側のローカルビット線とをスイッチで切り離す。

#### 【0007】

その後、アシストゲート側のローカルビット線と共通ソース線とを接続し、メモリゲート側のローカルビット線に蓄積された電荷をメモリセルに流すことで、SSI (Source Side channel hot electron Injection) を発生させ、1ビットのメモリセルに書き込みを行う。

#### 【0008】

これにより、アシストゲートMOSトランジスタのしきい値電圧にばらつきがあっても、データ書き込みに使用する電荷は一定であるためにデータ書き込み特性のばらつきを抑えるものである。

#### 【0009】

##### 【特許文献1】

特開 2001-148434号公報

## 【0010】

## 【特許文献2】

特開 2002-197876 号公報

## 【0011】

## 【発明が解決しようとする課題】

ところが、上記のような不揮発性メモリによるデータ書き込み技術では、次のような問題点があることが本発明者により見い出された。

## 【0012】

MONOS 型メモリセルのデータ書き込み電流を制御するためにワードゲート（以下、選択ゲートという）の電圧値を制御する場合、該電圧値は、選択ゲート MOS トランジスタのしきい値電圧に近い電圧値となる。

## 【0013】

このため、書き込み電流は、選択ゲート MOS トランジスタのしきい値電圧に依存する。選択ゲート MOS トランジスタは、メモリセルの一部であるために、そのゲート長  $L_g$  はほぼ最小寸法であり、製造ばらつきに対するしきい値電圧の変動は大きい。このため、メモリマット内の各々のメモリセルの書き込み電流のばらつきが大きくなり、書き込み時のメモリゲートのしきい値変動量にばらつきが生じてしまうという問題がある。

## 【0014】

また、フローティングゲート型メモリセルで書き込み特性のばらつきを抑える場合、ローカルビット線はスイッチによりグローバルビット線と切り離すことが可能であり、ローカルソース線はスイッチにより共通ソース線から切り離すことが可能である。

## 【0015】

さらに、ローカルビット線、およびローカルソース線に接続されるメモリセル数が比較的多いためにローカルビット線、およびローカルソース線の配線容量も比較的大きく、1 ビットのメモリセルに、ローカルビット線に蓄積された比較的大きな電荷量を使用できる。また、その電荷量はほぼ一定であるので、書き込み特性のばらつきを抑えることができる。

**【0016】**

しかし、小容量のメモリの場合、各々のメモリセルのメモリゲート側の拡散層領域（ソース端子）に接続されるローカルソース線にスイッチを設けることはオーバーヘッドの増大によるレイアウト面積の増大となるため、ローカルソース線にはスイッチを設けることなく共通ソース線へ直接接続されることになる。

**【0017】**

そのため、共通ソース線の寄生容量は多数のメモリセルに接続されるため、書き込みデータによって配線の寄生容量に蓄積された電荷が必ずしも均等にメモリセルに分配されず、書き込み特性のばらつきを抑えることができないことになる。

**【0018】**

本発明の目的は、データ書き込み時における不揮発性メモリセルのしきい値電圧変動量のばらつきを大幅に低減させることにより、データ書き込みの高速化、および低消費電力化を実現することのできる不揮発性半導体記憶装置および半導体集積回路装置を提供することにある。

**【0019】**

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0020】****【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

（１）本発明の不揮発性半導体記憶装置は、電電源と不揮発性メモリセルとの間に直列接続された電流供給制御用トランジスタ、または不揮発性メモリセルと基準電位との間に直列接続された電流吸収制御用トランジスタのいずれか一方を備え、電流供給制御用トランジスタ、または電流吸収制御用トランジスタは、電流－電圧特性における電流飽和領域で動作させることにより、データ書き込み時に、不揮発性メモリセルに流れる電流を制御するものである。

（２）また、本発明の不揮発性半導体記憶装置は、電圧源と不揮発性メモリセル

との間に直列接続された電流供給制御用トランジスタ、および不揮発性メモリセルと基準電位との間に直列接続された電流吸収制御用トランジスタとを備え、電流供給制御用トランジスタ、および電流吸収制御用トランジスタは、電流－電圧特性における電流飽和領域で動作させることにより、データ書き込み時に、不揮発性メモリセルに流れる電流を制御するものである。

#### 【 0 0 2 1 】

また、本願のその他の発明の概要を簡単に示す。

(3) さらに、本発明は、不揮発性記憶部と、中央処理装置とを有し、該中央処理装置は所定の処理を実行し、不揮発性記憶部に動作指示を行うことが可能であり、該不揮発性記憶部は、情報を格納する複数の不揮発性メモリセルを有する半導体集積回路装置であって、不揮発性記憶部は、電圧源と不揮発性メモリセルとの間に直列接続された電流供給制御用トランジスタ、または不揮発性メモリセルと基準電位との間に直列接続された電流吸収制御用トランジスタのいずれか一方を備え、電流供給制御用トランジスタ、または電流吸収制御用トランジスタは、電流－電圧特性における電流飽和領域で動作させることにより、データ書き込み時に、不揮発性メモリセルに流れる電流を制御するものである。

(4) また、本発明は、不揮発性記憶部と、中央処理装置とを有し、該中央処理装置は所定の処理を実行し、不揮発性記憶部に動作指示を行うことが可能であり、該不揮発性記憶部は、情報を格納する複数の不揮発性メモリセルを有する半導体集積回路装置であって、該不揮発性記憶部は、電圧源と不揮発性メモリセルとの間に直列接続された電流供給制御用トランジスタ、および不揮発性メモリセルと基準電位との間に直列接続された電流吸収制御用トランジスタとを備え、電流供給制御用トランジスタ、および電流吸収制御用トランジスタは、電流－電圧特性における電流飽和領域で動作させることにより、データ書き込み時に、不揮発性メモリセルに流れる電流を制御するものである。

#### 【 0 0 2 2 】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

#### 【 0 0 2 3 】

図1は、本発明の一実施の形態によるフラッシュメモリのブロック図、図2は、図1のフラッシュメモリに設けられた書き込み回路、電流トリミング回路、およびフラッシュメモリアレイの構成図、図3は、図2の書き込み回路に設けられた定電流源用トランジスタの電気的特性の説明図、図4は、図1のフラッシュメモリに設けられたメモリセルにおける書き込み／消去／読み出しの各動作の説明図、図5は、図1のフラッシュメモリにおける書き込み動作のタイミングチャート、図6は、図1のフラッシュメモリに設けられたフラッシュメモリアレイが階層構造となった構成例を示した説明図、図7は、図1のフラッシュメモリに設けられたフラッシュメモリアレイが階層構造となった他の構成例を示した説明図、図8は、図7のフラッシュメモリアレイに設けられたメモリセルにデータを書き込む際のタイミングチャート、図9は、本発明の一実施の形態によるフラッシュメモリ内蔵シングルチップのマイクロコンピュータのブロック図である。

#### 【0024】

本実施の形態において、フラッシュメモリ（不揮発性半導体記憶装置）1は、図1に示すように、制御回路2、入出力回路3、アドレスバッファ4、行デコーダ5、列デコーダ6、ベリファイセンスアンプ回路7、高速リードセンスアンプ回路8、書き込み回路9、フラッシュメモリアレイ10、および電源回路11などから構成されている。

#### 【0025】

制御回路2は、接続先のマイクロコンピュータなどホストから入力される制御用信号を一時的に格納し、動作ロジックの制御を行う。入出力回路3には、フラッシュメモリアレイ10から読み出しまたはフラッシュメモリアレイ10へ書き込むデータ、プログラムデータなどの各種データが入出力される。アドレスバッファ4は、外部から入力されたアドレスを一時的に格納する。

#### 【0026】

アドレスバッファ4には、行デコーダ5、ならびに列デコーダ6がそれぞれ接続されている。行アドレスデコーダ5は、アドレスバッファ4から出力されたカラム（行）アドレスに基づいてデコードを行い、列アドレスデコーダ6は、該アドレスバッファ4から出力されたロウ（列）アドレスに基づいてデコードを行う

**【0027】**

ベリファイセンスアンプ回路7は、消去／書き込みベリファイ用のセンスアンプであり、高速リードセンスアンプ回路8は、データリード時に用いられるリード用センスアンプである。書き込み回路9は、入出力回路3を介して入力された書き込みデータをラッチし、データ書き込みの制御を行う。

**【0028】**

フラッシュメモリアレイ10は、記憶の最小単位であるメモリセルが規則正しくアレイ状に並べられている。このフラッシュメモリアレイ10に設けられたメモリセルは、電氣的にデータの消去または書き込みが可能であり、データの保存に電源が不要となっている。

**【0029】**

電源回路11は、データ書き込みや消去、ベリファイ時などに用いられる様々な電圧を生成する電圧発生回路、および任意の電圧値を生成して書き込み回路9に供給する電流トリミング回路（トリミング部）11aなどから構成される。

**【0030】**

また、書き込み回路9、電流トリミング回路11aの構成について、図2を用いて説明する。書き込み回路9は、ビット線BL0～BLn毎にそれぞれ接続されている。ここでは、ビット線BL0に接続された書き込み回路9の構成について説明するが、他のビット線BL1～BLnに接続されている書き込み回路9も同様の構成からなる。

**【0031】**

書き込み回路9は、定電流源用トランジスタ（電流吸収制御用トランジスタ）12、ラッチスイッチ13、否定論理積回路14、および書き込みラッチ15から構成されている。定電流源用トランジスタ12、ならびにラッチスイッチ13は、たとえば、NチャネルMOS（Metal Oxide Semiconductor）からなる。

**【0032】**

定電流源用トランジスタ12、およびラッチスイッチ13の一方の接続部には

、ビット線BL0がそれぞれ接続されている。このビット線BL0には、メモリセル（不揮発性メモリセル）MM00～MMn0がそれぞれ接続されている。

#### 【0033】

メモリセルMM00～MM0nのコントロールゲート102（図4）とメモリゲート100（図4）とは、選択ゲート線CG0、およびメモリゲート線MG0によってそれぞれ共通接続されており、ソース103（図4）は、ソース線SL0によって共通接続されている。

#### 【0034】

定電流源用トランジスタ12のゲートには、電流トリミング回路11aが接続されており、該定電流源用トランジスタ12の他方の接続部には、否定論理積回路14の出力部が接続されている。定電流源用トランジスタ12は、書き込み電流を一定にする定電流源である。

#### 【0035】

ラッチスイッチ13のゲートにはラッチスイッチ信号が入力されるように接続されており、該ラッチスイッチ13の他方の接続部には、書き込みラッチ15の入力部に接続されている。

#### 【0036】

ラッチスイッチ13は、書き込みデータの入力時のみONとなり、それ以外ではOFFとなり、書き込みデータを保護する。書き込みラッチ15は、書き込みデータを蓄積する回路である。

#### 【0037】

書き込みラッチ15の出力部には、否定論理積回路14の他方の入力部が接続されており、該否定論理積回路14の一方の入力部には書き込みパルスが入力されるように接続されている。

#### 【0038】

ここで、定電流源用トランジスタ12について説明する。

#### 【0039】

図3（a）は、定電流源用トランジスタ12のしきい値電圧のチャネル長依存性を示す図である。この図においては、縦軸が定電流源用トランジスタ12のし

きい値電圧、横軸がチャンネル長を示している。

#### 【0040】

定電流源用トランジスタ12のチャンネル長は、メモリセルの選択ゲートのチャンネル長に対して、たとえば、2倍以上長く、チャンネル長の変動量に対してしきい値電圧の変動量が小さくなっている。

#### 【0041】

また、図3(b)は、定電流源用トランジスタ12におけるしきい値電圧のチャンネル幅依存性を示した図である。この図では、縦軸が定電流源用トランジスタ12のしきい値電圧、横軸がチャンネル幅をそれぞれ示している。

#### 【0042】

定電流源用トランジスタ12のチャンネル幅は、メモリセルの選択ゲートのチャンネル幅に対してたとえば2倍以上長く、チャンネル幅の変動量に対してしきい値電圧の変動量が小さくなっている。

#### 【0043】

さらに、図3(c)はドレインソース間電流のドレインソース間電圧依存性を示した図である。この図では、縦軸がドレインソース間電流、横軸がドレインソース間電圧をそれぞれ示している。

#### 【0044】

図示するように、定電流源用トランジスタ12の動作領域は、ドレインソース間電圧の変動量に対してドレインソース間電流の変動量が小さい領域となっている。

#### 【0045】

また、電流トリミング回路11aは、トリミングレジスタ(トリミング情報格納部)16とデコーダ回路17とにより構成されている。トリミングレジスタ16に格納された電流トリミング情報はデコーダ回路17によって所定の電圧値に変換され、定電流源用トランジスタ12のゲートに印加される。トリミングレジスタ16は、電流トリミング情報だけでなく他のトリミング情報も格納している。

#### 【0046】



さらに、メモリセルMMの構成、およびデータの書き込み／消去／読み出しについて図4を用いて説明する。

#### 【0047】

メモリセルMMは、図4に示すように、選択MOSトランジスタと電荷蓄積MOSトランジスタとの2トランジスタによって1つのセルが構成される。そして、メモリセルMMは、ソース103、ドレイン104からなる拡散層が形成されている。

#### 【0048】

これらソース103－ドレイン104間の半導体基板105上にはゲート酸化膜を介して、電荷蓄積層101、およびメモリゲート100がスタックド構造によって形成されており、そのとなり側には選択ゲート102が形成された構成になっている。電荷蓄積層101には、ナイトライド膜、フローティングゲートなどがある。

#### 【0049】

このメモリセルMMにデータを書き込む場合、図4(a)に示すように、たとえば、メモリゲート100に8V程度、ソース103に5V程度、半導体基板105に0V程度を印加し、選択ゲート102、およびドレイン104には、ドレイン104－ソース103間に、たとえば1 $\mu$ A程度の電流が流れるような電圧を印加する。このとき、ソースサイドインジェクションが発生し、電荷蓄積層101に電子を蓄積する。よって読み出し時のメモリセル電流が小さくなる。

#### 【0050】

このメモリセルMMのデータを消去する場合には、図4(b)に示すように、たとえば、メモリゲート100に10V程度、選択ゲート102に1.5V程度、ソース103、ドレイン104および半導体基板105に0V程度をそれぞれ印加すると、電荷蓄積層101に蓄積された電子がメモリゲート100に放出され、読み出し時のメモリセルMMの電流が大きくなる。

#### 【0051】

この図4(b)においては、メモリゲート100に8V程度の電圧を印加しているが、該メモリゲート100に印加する電圧はこれに限定されるものではない

## 【0052】

このメモリセルMMのデータを読み出す場合、図4(c)に示すように、たとえば、選択ゲート102に1.5V程度、ドレイン104に1.0V程度、メモリゲート100、ソース103および半導体基板105に0V程度をそれぞれ印加し、メモリセル電流の大小をセンスアンプで判定する。

## 【0053】

また、図4(c)においても、メモリゲート100に0V程度の電圧を印加しているが、該メモリゲート100に印加する電圧はこれに限定されるものではない。

## 【0054】

次に、本実施の形態におけるフラッシュメモリ1の作用について説明する。

## 【0055】

始めに、メモリセルMM00にデータを書き込む際の手書き込み回路9の動作について説明する。

## 【0056】

まず、メモリゲート線MG0にたとえば、8V程度、ソース線SL0に5V程度、選択ゲート線CG0に1.5V程度を印加する。

## 【0057】

このとき、書き込み回路9においては書き込みパルス0、および書き込みラッチ15の出力がHi信号であり、否定論理積回路14の出力がLo信号になる。この時、定電流源用トランジスタ12に、たとえば1 $\mu$ A程度の一定電流が流れ、ビット線BL0を1 $\mu$ A程度の一定電流で引き抜き、メモリセルMM00に電流を流す。

## 【0058】

非書き込みのメモリセルMM01には、メモリゲートに8V程度、ソースに5V程度、選択ゲートに1.5V程度が印加されてしまうが、該メモリセルMM01に接続された書き込み回路9においては、書き込みパルス1あるいは書き込みラッチ15の出力がLo信号であり、否定論理積回路14の出力がHi信号にな

る。

#### 【0059】

H<sub>i</sub> 信号の電圧を、たとえば 1.5 V 程度とすると、書き込み回路 9 は、ビット線 B<sub>L1</sub> に 1.5 V 程度を供給し、メモリセル MM<sub>01</sub> の選択 MOS トランジスタが ON せず、書き込みは起こらない。

#### 【0060】

また、非書き込みのメモリセル MM<sub>n0</sub>, MM<sub>n1</sub> においては、メモリゲート 100、ソース 103、選択ゲート 102 に電圧を印加しないので書き込みは起こらない。

#### 【0061】

本発明では、メモリセルの選択ゲート電圧により書き込み電流を制御しているのではなく、ビット線に定電流源用トランジスタ 12 の定電流源を接続して書き込み電流を制御している。また、本発明に適用可能なメモリセルは、図 4 に示したメモリセルに限定されるものではなく、ビット線に対して並列接続型のメモリセルであれば何でもよい。

#### 【0062】

さらに、図 5 のタイミングチャートを用いて、フラッシュメモリ 1 における書き込み動作を説明する。

#### 【0063】

ここで、図 5 においては、上方から下方にかけて、選択ゲート線 C<sub>G0</sub>、メモリゲート線 M<sub>G0</sub>、ソース線 S<sub>L0</sub>、およびビット線 B<sub>L0</sub>, B<sub>L1</sub> における信号タイミングをそれぞれ示している。

#### 【0064】

たとえば、メモリセル MM<sub>00</sub> にデータを書き込む場合、まず、選択ゲート線 C<sub>G0</sub> に 1.5 V 程度を印加する。そして、ソース線 S<sub>L0</sub> に 5 V 程度、ビット線 B<sub>L0</sub>, B<sub>L1</sub> に 1.5 V 程度を印加し、その後、メモリゲート線 M<sub>G0</sub> に 8 V 程度を印加する。

#### 【0065】

ビット線 B<sub>L0</sub>, B<sub>L1</sub> を、メモリゲート線 M<sub>G0</sub> に 8 V を印加する前に 1.

5 Vに印加する理由は書き込み条件が整わないうちに起こる書き込みディスターブを防ぐためである。

#### 【0066】

選択ゲート線CG0、ソース線SL0、メモリゲート線MG0の電圧値が書き込み条件を満たすと、書き込み回路9内で最適な書き込み時間だけ定電流源に接続され、ビット線BL0を定電流で引き抜き、メモリセルMM00に電流を流す。

#### 【0067】

図2ではメモリセルMM01にデータを書き込んではいないが、仮にメモリセルMM01にデータを書き込む場合には、図5に示すように、メモリセルMM00を書き込んだ後、書き込み回路9内で最適な書き込み時間だけ定電流源に接続され、ビット線BL1を定電流で引き抜き、メモリセルMM01に電流を流す。すなわち、書き込みパルスはビット線BLの順に最適な時間だけ印加される。

#### 【0068】

また、非書き込みのメモリセルMMn0、MMn1に接続された選択ゲート線CGn、ソース線SLn、メモリゲート線MGnはこの期間0 Vである。

#### 【0069】

書き込み回路9の動作タイミングは図5に限定されるものではなく、たとえば、メモリセルMM00の書き込み回路9、およびメモリセルMM01の書き込み回路9をそれぞれ同時に動作させて、ビット線BL0、BL1を定電流で引き抜くようにしてもよい。

#### 【0070】

図6は、フラッシュメモリ1に設けられたフラッシュメモリアレイ10が階層構造となった構成例を示す図である。ここでは、書き込み回路9、および電流トリミング回路11aの回路構成は図2と同じであるので説明を省略する。

#### 【0071】

メモリセルMM(図4)は、アレイ状に規則正しく配置され、該メモリセルMの選択ゲート102、メモリゲート100、およびソース103は、選択ゲート線CG0~CGn、メモリゲート線MG0~MGn、ソース線SL0~SLn

によってそれぞれ共通接続されている。

#### 【0 0 7 2】

また、メモリセルMMのドレイン1 0 4は、副ビット線L B Lによって共通接続されており、階層MOSトランジスタZ Mを介して主ビット線M B Lに接続されている。

#### 【0 0 7 3】

この主ビット線M B Lには、書き込み回路9がそれぞれ接続されており、階層MOSトランジスタZ Mのゲートには、階層ゲート線Z 0が接続されている。

#### 【0 0 7 4】

そして、メモリセルMM 0 0にデータを書き込む場合、メモリゲート線M G 0に、たとえば、8 V程度、ソース線S L 0にたとえば5 V程度、選択ゲート線C G 0にたとえば、1. 5 V程度、階層ゲート線Z 0に1. 5 V程度を印加する。書き込み回路9においては、書き込みパルス0、および書き込みラッチ1 5の出力がH i 信号であり、否定論理積回路1 4の出力がL o 信号になる。

#### 【0 0 7 5】

このとき、定電流源用トランジスタ1 2に、たとえば1  $\mu$  A程度の一定電流が流れ、主ビット線M B L 0をたとえば1  $\mu$  A程度の一定電流で引き抜き、メモリセルMM 0 0に電流を流す。

#### 【0 0 7 6】

非書き込みのメモリセルMM 0 1には、メモリゲート1 0 0に8 V程度、ソース1 0 3に5 V程度、選択ゲート1 0 2に1. 5 V程度の電圧が印加されてしまうが、メモリセルMM 0 1における書き込み回路9においては、書き込みパルス1あるいは書き込みラッチ1 5の出力がL o 信号であり、否定論理積回路1 4の出力がH i 信号になる。

#### 【0 0 7 7】

H i 信号の電圧を、たとえば1. 5 V程度とすると、書き込み回路9は主ビット線M B L 1に1. 5 V程度を供給し、メモリセルMM 0 1の選択MOSトランジスタがONせず、書き込みは起こらない。

#### 【0 0 7 8】

また、非書き込みのメモリセルMM<sub>n0</sub>、MM<sub>n1</sub>のメモリゲート100、ソース103、選択ゲート102には電圧を印加しないので、書き込みは起こらないことになる。

#### 【0079】

さらに、図6に示した構成の場合におけるデータ書き込みのタイミングチャートは、図5で述べたタイミングチャートとほぼ同様であるが、階層ゲート線Zに1.5Vを印加するタイミングに関しては、副ビット線LBLに1.5Vを充電するために、ソース線SL<sub>0</sub>に5V、ビット線BL<sub>0</sub>、BL<sub>1</sub>に1.5Vを印加するタイミングと同じである。

#### 【0080】

次に、図7は、フラッシュメモリ1におけるフラッシュメモリアレイ10が階層構造となった構成の他の例を示す図である。

#### 【0081】

メモリセルMM（図4）は、アレイ状に規則正しく配置されており、該メモリセルMMの選択ゲート102、メモリゲート100、およびソース103は、選択ゲート線CG<sub>0</sub>～CG<sub>n</sub>、メモリゲート線MG<sub>0</sub>～MG<sub>n</sub>、ソース線SL<sub>0</sub>～SL<sub>n</sub>によってそれぞれ共通接続されている。

#### 【0082】

また、メモリセルMMのドレイン104は、副ビット線LBLによって共通接続されており、階層MOSトランジスタZM<sub>0</sub>、ZM<sub>1</sub>を介して主ビット線MBLに接続されている。

#### 【0083】

副ビット線LBLは、チャージ用トランジスタ（電流供給制御用トランジスタ）CMを介して電圧源に接続されており、該チャージ用トランジスタCMのゲートには、カレントミラー回路18が接続されている。カレントミラー回路18は、デコーダ回路17のトリミング情報に基づいてある電流を生成し、チャージ用トランジスタCMを定電流源にする。

#### 【0084】

カレントミラー回路18は、2つのトランジスタ18a、18bが電圧源と基

準電位との間に直列接続された構成からなる。トランジスタ 18a は、PチャネルMOSであり、トランジスタ 18b はNチャネルMOSからなる。

#### 【0085】

ここで、定電流源用トランジスタ 12 はNチャネルMOSトランジスタであるために、電流トリミング情報はNMOSトランジスタ用である。しかし、チャージ用トランジスタ CM はPチャネルMOSトランジスタであるために、このカレントミラー回路 18 により電流トリミング情報をPMOSトランジスタ用に変換している。

#### 【0086】

そして、トランジスタ 18a のゲート、およびトランジスタ 18a, 18b の接続部には、チャージ用トランジスタ CM のゲートが接続されている。トランジスタ 18b のゲートには、電流トリミング回路 11a に設けられたデコーダ回路 17 が接続されている。

#### 【0087】

主ビット線 MBL には、階層MOSトランジスタ ZM0, ZM1 を介して、副ビット線 LBL が並列に 2 本接続されている。そして、ビット線 MBL には、書き込み回路 9 が接続されている。ここでは、主ビット線 MBL に対して副ビット線 LBL が並列に 2 本接続された場合について記載したが、該副ビット線 LBL は、複数本を並列接続する構成としてもよい。

#### 【0088】

これら階層MOSトランジスタ ZM0, ZM1 のゲートには、ゲート信号 Z0, Z1 が入力されるように接続されている。

#### 【0089】

さらに、書き込み回路 9 は、図 2 に示す書き込み回路と同様の構成である定電流源用トランジスタ 12、ラッチスイッチ 13、および書き込みラッチ 15 に、トランジスタ 19, 20 が新たに設けられた構成からなる。また、電流トリミング回路 11a の回路構成は図 2 と同じであるので説明を省略する。

#### 【0090】

トランジスタ 19, 20 は、NチャネルMOSからなる。トランジスタ 19 の

一方の接続部には、定電流源用トランジスタ 12 の他方の接続部が接続されている。

#### 【0091】

トランジスタ 19 の他方の接続部には、トランジスタ 20 の一方の接続部が接続されており、該トランジスタ 20 の他方の接続部には基準電位 (VSS) が接続されている。

#### 【0092】

トランジスタ 19 のゲートには、書き込みラッチ 15 の出力部が接続されており、該書き込みラッチ 15 に蓄積されたデータに基づいて、ON/OFF 動作を行う。トランジスタ 20 のゲートには書き込みパルスが入力されるように接続されており、該書き込みパルスに基づいて ON/OFF 動作を行う。

#### 【0093】

そして、メモリセル MM00 にデータを書き込む場合、メモリゲート線 MG0 にたとえば、8V 程度、ソース線 SL0 に 5V 程度、選択ゲート線 CG0 に 1.5V 程度、階層 MOS ゲート線 Z0 に 1.5V 程度を印加する。

#### 【0094】

書き込み回路 9 においては、書き込みパルス 0、および書き込みラッチ 15 の出力が Hi 信号であり、トランジスタ 19, 20 が ON となり、配線 n1 が Lo 信号になる。

#### 【0095】

このとき、定電流源用トランジスタ 12 に、たとえば  $1\mu\text{A}$  程度の定電流が流れ、主ビット線 MBL0 を、たとえば  $1\mu\text{A}$  程度の一定電流で引き抜き、メモリセル MM00 に電流を流す。

#### 【0096】

また、非書き込みのメモリセル MM01 には、メモリゲート 100 に 8V 程度、ソース 103 に 5V 程度、選択ゲート 102 に 1.5V 程度の電圧が印加されてしまう。

#### 【0097】

主ビット線 MBL0 には定電流源が接続されているため、階層 MOS トランジ



スタ ZM1 をオフにしなければならない。このとき、副ビット線 LBL1 はオープンとなるため、メモリセル MM01 に書き込みデイスターブが発生する。

#### 【0098】

これを防ぐために副ビット線 LBL1 を、たとえば 1.5 V に充電するチャージ用トランジスタ CM1 を副ビット線 LBL1 に接続する。同様に他の副ビット線 LBL にチャージ用トランジスタ CM を接続する。チャージ用トランジスタ CM は、たとえば、P チャンネル MOS からなる。

#### 【0099】

チャージ用トランジスタ CM は副ビット線 LBL を充電できればいいので、たとえば、 $0.5\ \mu\text{A}$  程度の電流能力でよく、また製造ばらつき、温度特性を考慮すると定電流源であることが望ましい。

#### 【0100】

また、図 2 では、非書き込みを実現するために書き込み回路 9 からビット線 BL に 1.5 V 程度を印加していたが、図 7 の構成では、チャージ用トランジスタ CM が副ビット線 LBL を 1.5 V 程度に充電するため、書き込み回路 9 内で 1.5 V 程度を出力する機能を有する必要はない。

#### 【0101】

そのため、書き込み回路 9 においては、書き込みパルス 1、あるいは書き込みラッチ 15 の出力が L0 信号のとき、トランジスタ 19、またはトランジスタ 20 が OFF し、配線 n1 がオープンになる。よって、書き込み回路 9 は主ビット線 MBL1 をオープンにする。

#### 【0102】

ただし、書き込み回路 9 内で 1.5 V 程度を出力する機能を有していても問題はない。また、非書き込みのメモリセル MMn0, MMn1, MMn2, MMn3 には、メモリゲート 100、ソース 103、選択ゲート 102 に電圧を印加しない。よって、書き込みは起こらない。

#### 【0103】

また、図 7 の構成ではチャージ用トランジスタ CM のゲートを共通接続している。そのため、書き込み時常に  $0.5\ \mu\text{A}$  程度の充電電流が流れる。そこで、書

き込み電流を  $1\ \mu\text{A}$  程度にするためには、書き込み回路 9 内で接続する定電流源（定電流源用トランジスタ 12）の引き抜き電流を書き込み電流とチャージ用トランジスタ電流の和である  $1.5\ \mu\text{A}$  程度にする必要がある。

#### 【0104】

さらに、チャージ用トランジスタ CM のゲートを共通接続する構成としたが、該チャージ用トランジスタ CM のゲートは、共通接続せずアドレスごとに選択可能にしてもよい。

#### 【0105】

さらに、図 7 においては、定電流源用トランジスタ 12 を N チャネル MOS トランジスタ、チャージ用トランジスタ CM を P チャネル MOS トランジスタとしたが、それぞれ、それに限定されるものではない。

#### 【0106】

また、電流トリミング回路 11a を使用してチャージ用トランジスタ CM を定電流源にしたが、別の方法で定電流源にしてもよい。さらに、トランジスタ 19, 20 の代わりに否定論理積回路を設けるようにしてもよい。

#### 【0107】

ここで、図 7 におけるメモリセル MM00 にデータを書き込む際の動作を図 8 のタイミングチャートを用いて説明する。

#### 【0108】

ここで、図 8 においては、上方から下方にかけて、選択ゲート線 CG0、メモリゲート線 MG0、ソース線 SL0、階層 MOS ゲート線 Z0、副ビット線 LBL0, LBL1, LBL2, LBL3、および主ビット線 MBL0, MBL1 における信号タイミングをそれぞれ示している。

#### 【0109】

まず、選択ゲート線 CG0 に  $1.5\text{V}$  程度を印加する。そして、ソース線 SL0 に  $5\text{V}$  程度、階層 MOS ゲート線 Z0 に  $1.5\text{V}$  程度を印加し、チャージ用トランジスタ CM を ON させて副ビット線 LBL0, LBL1, LBL2, LBL3 に  $1.5\text{V}$  程度をそれぞれ印加し、その後、メモリゲート線 MG0 に  $8\text{V}$  程度を印加する。

## 【0110】

副ビット線 LBL0, LBL1, LBL2, LBL3 を、メモリゲート線 MG0 に 8 V 程度を印加する前に 1.5 V 程度に印加する理由は書き込み条件が整わないうちに起こる書き込みディスタ urb を防ぐためである。

## 【0111】

選択ゲート線 CG0、ソース線 SL0、メモリゲート線 MG0 の電圧値が書き込み条件を満たすと、書き込み回路 9 内で最適な書き込み時間だけ定電流源に接続され、主ビット線 MBL0 を定電流で引き抜き、メモリセル MM00 に電流を流す。

## 【0112】

図 7 においては、メモリセル MM02 にデータを書き込んではいないが、仮にメモリセル MM02 にデータを書き込む場合、図 8 のようにメモリセル MM00 を書き込んだ後、書き込み回路 9 内で最適な書き込み時間だけ定電流源に接続され、主ビット線 MBL1 を定電流で引き抜き、メモリセル MM02 に電流を流す。すなわち、書き込みパルスは主ビット線 MBL の順に最適な時間だけ印加される。

## 【0113】

また、非書き込みのメモリセル MMn0, MMn1, MMn2, MMn3 に接続された選択ゲート線 CGn、ソース線 SLn、メモリゲート線 MGn はこの期間 0 V である。

## 【0114】

書き込み回路 9 の動作タイミングは図 8 に限定されるものではなく、たとえば、メモリセル MM00 の書き込み回路 9、およびメモリセル MM02 の書き込み回路 9 をそれぞれ同時に動作させて、主ビット線 MBL0, MBL1 を定電流で引き抜くようにしてもよい。

## 【0115】

図 9 は、本発明にかかる半導体集積回路装置の一例であるフラッシュメモリ内蔵シングルチップのマイクロコンピュータ（半導体集積回路装置）MC のブロック図である。

**【0116】**

このマイクロコンピュータMCは、前記したフラッシュメモリ1（図1）と同じ構成からなるフラッシュメモリ（不揮発性記憶部）1aをオンチップで備えたシステムLSIであり、その他にCPU（中央情報処理装置）21、CPG22、DMAC23、タイマ24、SCI25、ROM26、BSC27、RAM28、入出力ポートIOP1～IOP9などから構成されている。

**【0117】**

CPU（Central Processing Unit）21は、ROM26に格納されたプログラムなどに基づいてマイクロコンピュータMCのすべての制御を司る。

**【0118】**

ROM（Read Only Memory）26は、CPU21が実行すべきプログラムや固定データなどを記憶する。RAM（Random Access Memory）28は、CPU21による演算結果を記憶したり、該CPU21の作業領域を提供する。

**【0119】**

DMAC（Direct Memory Access Controller）23は、ROM26、ならびにRAM28と外部接続された主メモリとの間のデータを所定のブロック単位で転送する制御を司る。

**【0120】**

SCI（Serial Communication Interface）25は、外部装置との間でシリアル通信を行う。タイマ24は、設定された時間をカウントし、設定時間に達したらフラグをセットしたり、割り込み要求を発生する。

**【0121】**

CPG（Clock Pulse Generator）22は、ある周波数のクロック信号を生成し、動作クロックとしてシステムクロックを供給する。入出力ポートIOP1～IOP9は、マイクロコンピュータを外部接続する際の入出力端子である。

## 【0122】

また、マイクロコンピュータMCは、CPU21、フラッシュメモリ1a、ROM26、RAM28、DMAC23、および一部の入出力ポートIOP1～IOP5がメインアドレスバスIAB、メインデータバスIDBによってそれぞれ相互に接続されている。

## 【0123】

さらに、タイマ24やSCI25などの周辺回路と入出力ポートIOP1～IOP9とは、周辺アドレスバスPAB、ならびに周辺データバスPDBとによって相互に接続されている。

## 【0124】

BSC27は、上記したメインアドレスバスIAB、およびメインデータバスIDBと周辺アドレスバスPAB、ならびに周辺データバスPDBとの間で信号の転送を制御するとともに、各々のバスの状態を制御する。

## 【0125】

それにより、本実施の形態によれば、定電流源用トランジスタ12により、データ書き込みを定電流により行うので、メモリセルMMのしきい値変動量のばらつきを大幅に低減することができるとともに、書き込み時の消費電流を削減することができる。

## 【0126】

また、消費電流を削減することにより、メモリセルMMへの同時書き込み数を増加することができ、フラッシュメモリ1、1aの書き込み動作の高速化を実現することができる。

## 【0127】

さらに、本発明の実施の形態では、フラッシュメモリ1のフラッシュメモリアレイ10が、図2、図6、および図7にそれぞれ示した構成としたが、該フラッシュメモリアレイ10の構成は、これに限定されるものではない。

## 【0128】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱

しない範囲で種々変更可能であることはいうまでもない。

#### 【0129】

たとえば、前記実施の形態では、定電流源用トランジスタに供給する電圧を電流トリミング回路によって生成する構成としたが、定電流源を生成する回路であれば別の回路構成であってもよい。

#### 【0130】

##### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

#### 【0131】

(1) データ書き込み時に不揮発性メモリセルに流れる電流値を制御することにより、該不揮発性メモリセルのしきい値変動量のばらつきを大幅に低減することができる。

#### 【0132】

(2) また、上記(1)により、書き込み時の消費電流を低減することができるので、電源回路などを小型化するとともに、書き込み動作の高速化を実現することができる。

#### 【0133】

(3) さらに、上記(1)、(2)により、不揮発性半導体記憶装置、ならびにそれを用いた半導体集積回路装置の小型化、および高性能化を実現することができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の一実施の形態によるフラッシュメモリのブロック図である。

#### 【図2】

図1のフラッシュメモリに設けられた書き込み回路、電流トリミング回路、およびフラッシュメモリアレイの構成図である。

#### 【図3】

図2の書き込み回路に設けられた定電流源用トランジスタの電気的特性の説明

図である。

【図 4】

図 1 のフラッシュメモリに設けられたメモリセルにおける書き込み／消去／読み出しの各動作の説明図である。

【図 5】

図 1 のフラッシュメモリにおける書き込み動作のタイミングチャートである。

【図 6】

図 1 のフラッシュメモリに設けられたフラッシュメモリアレイが階層構造となった構成例を示した説明図である。

【図 7】

図 1 のフラッシュメモリに設けられたフラッシュメモリアレイが階層構造となった他の構成例を示した説明図である。

【図 8】

図 7 のフラッシュメモリアレイに設けられたメモリセルにデータを書き込む際のタイミングチャートである。

【図 9】

本発明の一実施の形態によるフラッシュメモリ内蔵シングルチップのマイクロコンピュータのブロック図である。

【符号の説明】

- 1 フラッシュメモリ（不揮発性半導体記憶装置）
- 1 a フラッシュメモリ（不揮発性記憶部）
- 2 制御回路
- 3 入出力回路
- 4 アドレスバッファ
- 5 行デコーダ
- 6 列デコーダ
- 7 ベリファイセンスアンプ回路
- 8 高速リードセンスアンプ回路
- 9 書き込み回路

- 10 フラッシュメモリアレイ
- 11 電源回路
  - 11a 電流トリミング回路 (トリミング部)
- 12 定電流源用トランジスタ (電流吸収制御用トランジスタ)
- 13 ラッチスイッチ
- 14 否定論理積回路
- 15 書き込みラッチ
- 16 トリミングレジスタ (トリミング情報格納部)
- 17 デコーダ回路
- 18 カレントミラー回路
  - 18a, 18b トランジスタ
- 19, 20 トランジスタ
- 21 CPU (中央情報処理装置)
- 22 CPG
- 23 DMAC
- 24 タイマ
- 25 SCI
- 26 ROM
- 27 BSC
- 28 RAM
- 100 メモリゲート
- 101 電荷蓄積層
- 102 選択ゲート
- 103 ソース
- 104 ドレイン
- 105 半導体基板
- MM メモリセル (不揮発性メモリセル)
- ZM 階層MOSトランジスタ
- CM チャージ用トランジスタ (電流供給制御用トランジスタ)



MC マイクロコンピュータ（半導体集積回路装置）

IOP1～IOP9 入出力ポート

BL ビット線

CG 選択ゲート線

MG メモリゲート線

SL ソース線

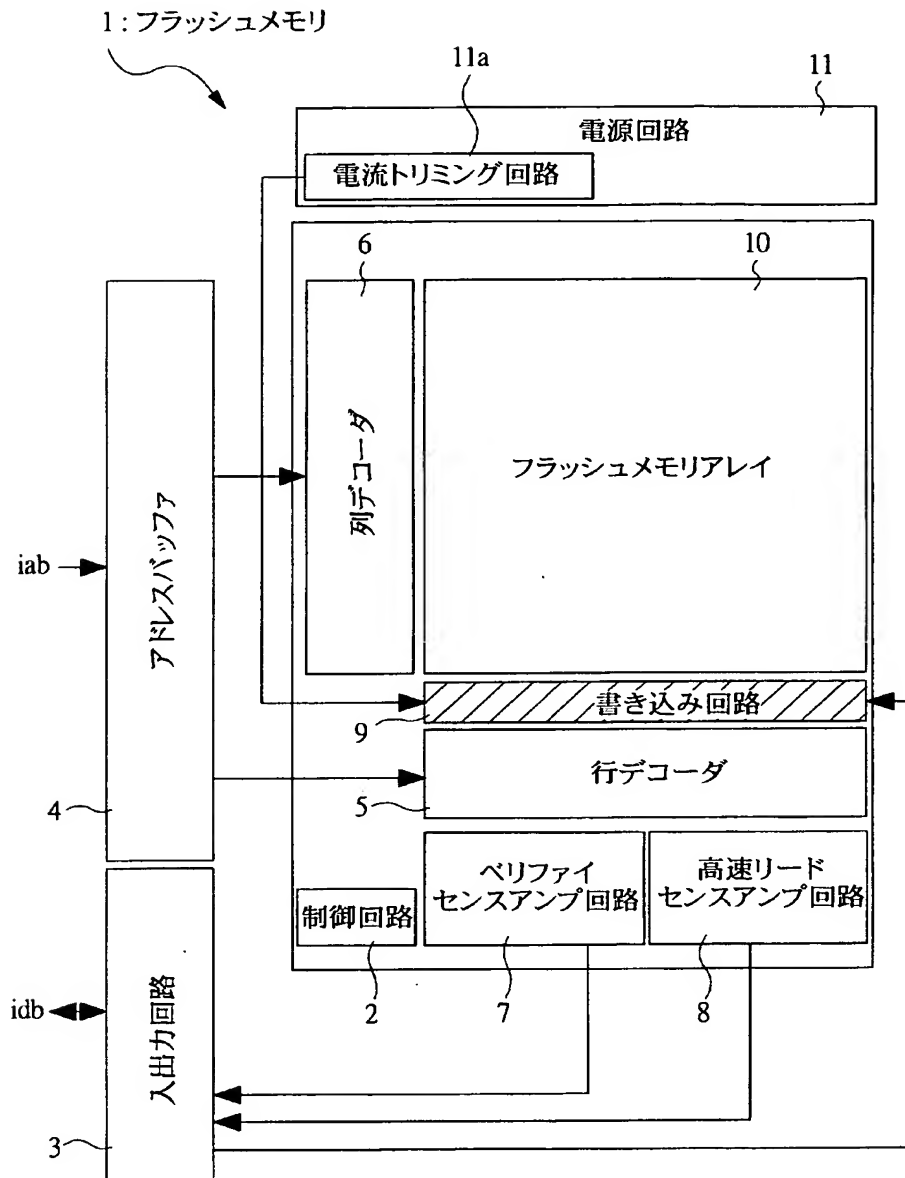
LBL 副ビット線

MBL 主ビット線

【書類名】 図面

【図 1】

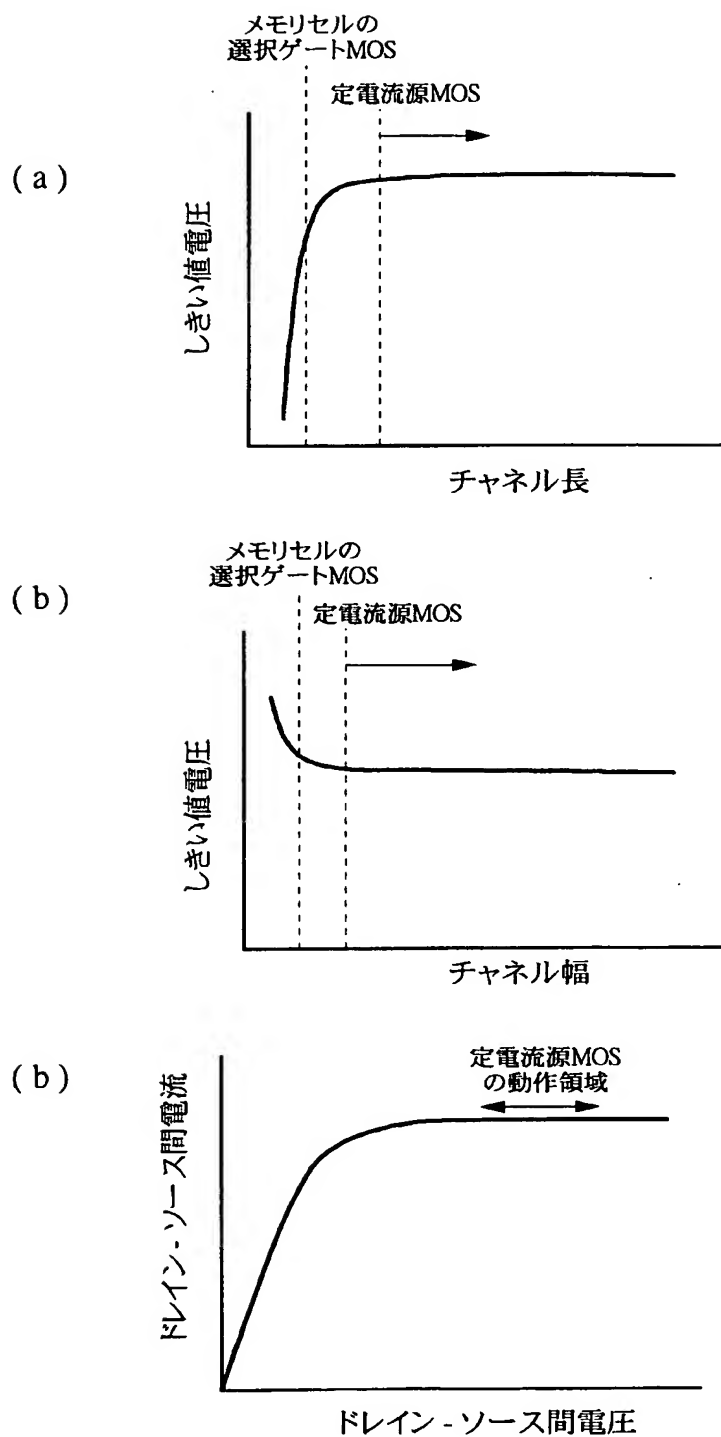
図 1





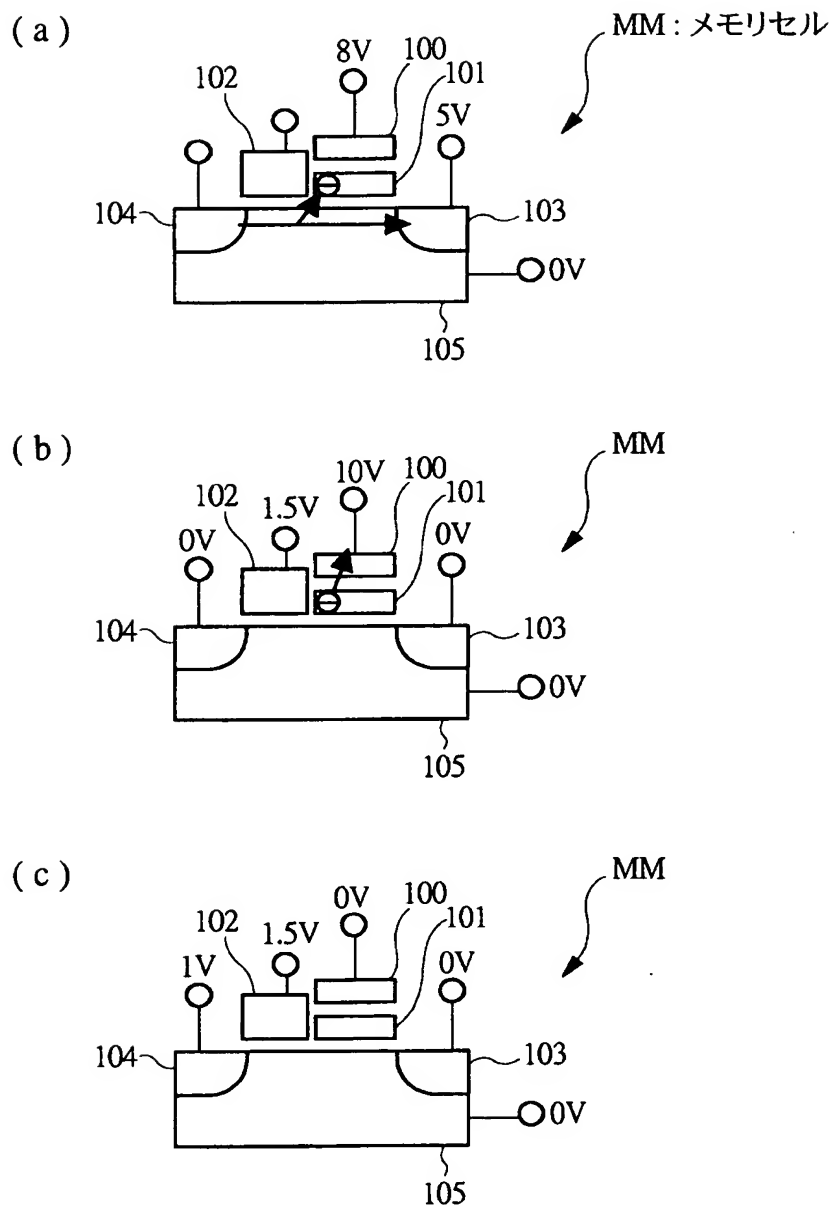
【図 3】

図 3



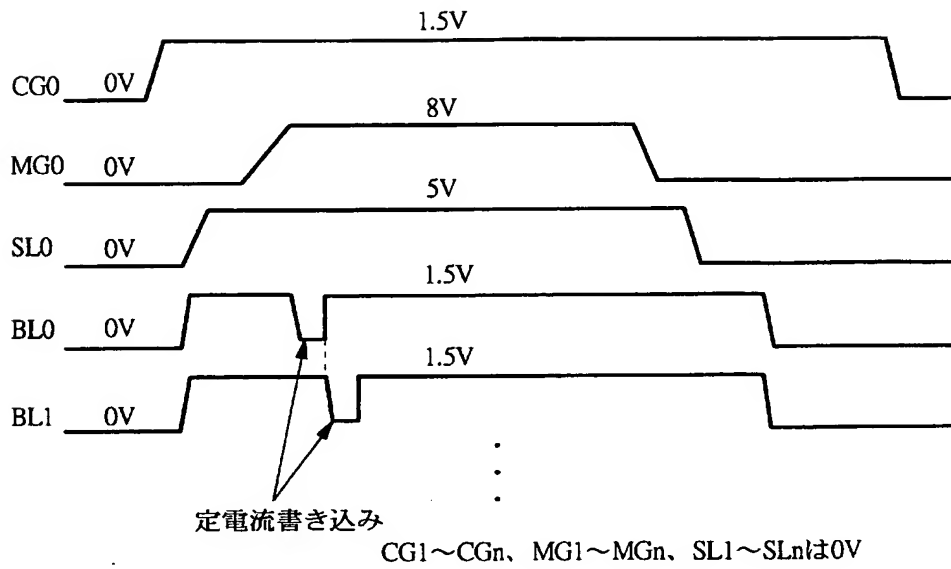
【図 4】

図 4

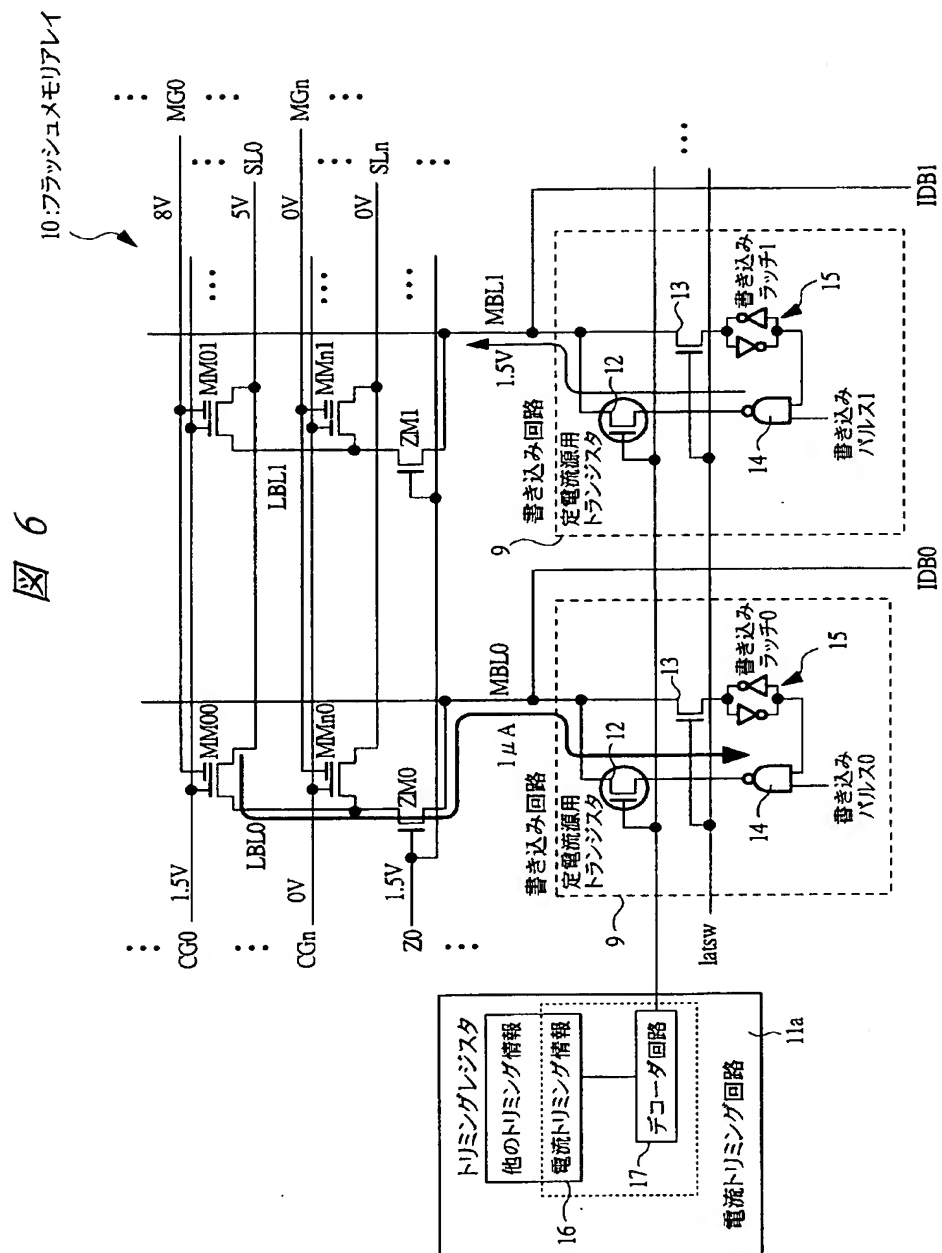


【図 5】

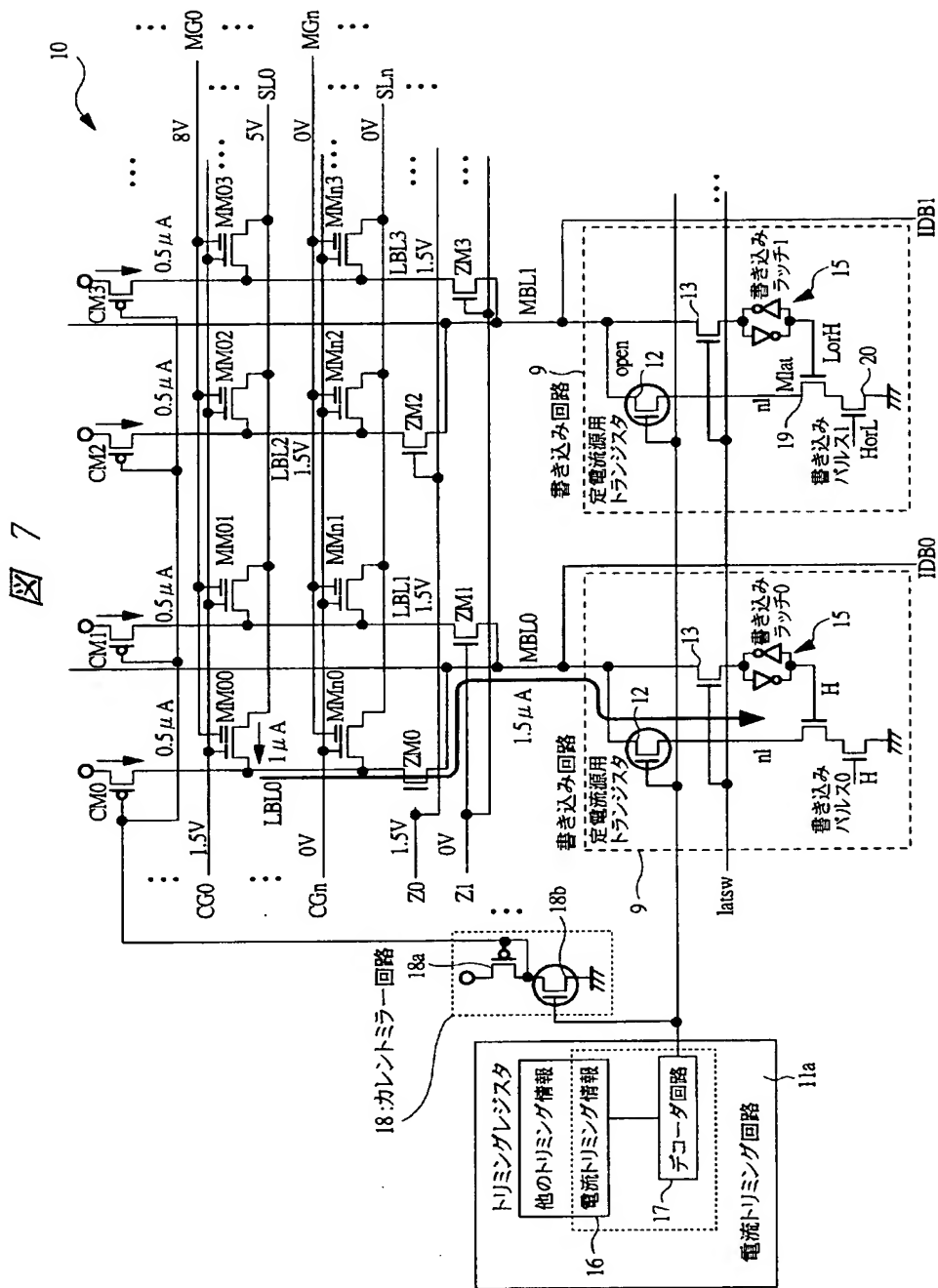
図 5



【図 6】



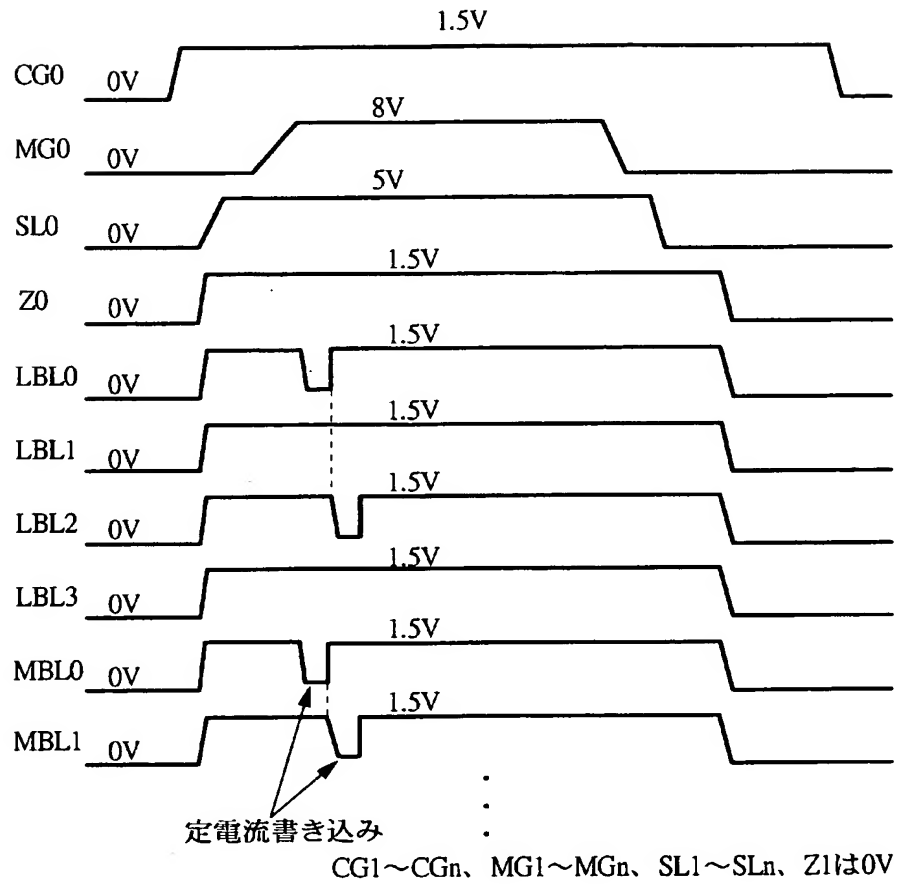
【図 7】





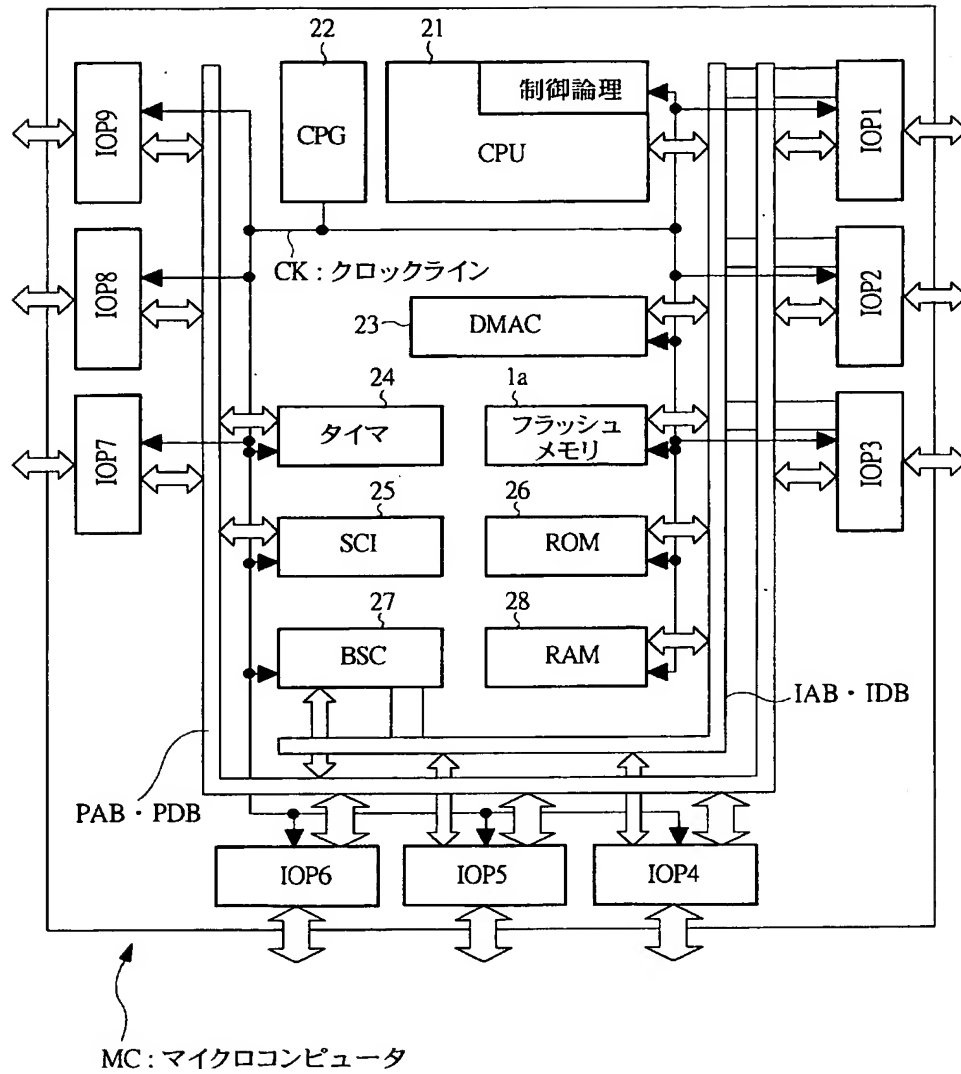
【図 8】

図 8



【図 9】

図 9



【書類名】 要約書

【要約】

【課題】 データ書き込み時の不揮発性メモリセルのしきい値電圧変動量のばらつきを低減させ、データ書き込みの高速化、および低消費電力化を実現する。

【解決手段】 メモリセルMM00にデータを書き込む際、メモリゲート線MG0に8V程度、ソース線SL0に5V程度、選択ゲート線CG0に1.5V程度を印加する。このとき、書き込み回路9は書き込みパルス0、および書き込みラッチ15の出力がHi信号であり、否定論理積回路14の出力がLo信号になり、定電流源用トランジスタ12に1 $\mu$ A程度の一定電流が流れ、ビット線BL0を1 $\mu$ A程度の一定電流で引き抜き、メモリセルMM00に電流を流す。

【選択図】 図2

特願 2 0 0 3 - 1 0 1 1 2 4

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ